

1/19/1

011699631 **Image available**

WPI Acc No: 1998-116541/199811

XRPX Acc No: N98-093453

Image forming apparatus using CG - has CPU connected to first and second operation parts which perform exclusive matrix operation and summing operation respectively

Patent Assignee: SONY COMPUTER ENTERTAINMENT KK (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10003466	A	19980106	JP 96175514	A	19960614	199811 B

Priority Applications (No Type Date): JP 96175514 A 19960614

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10003466	A	9	G06F-017/10	

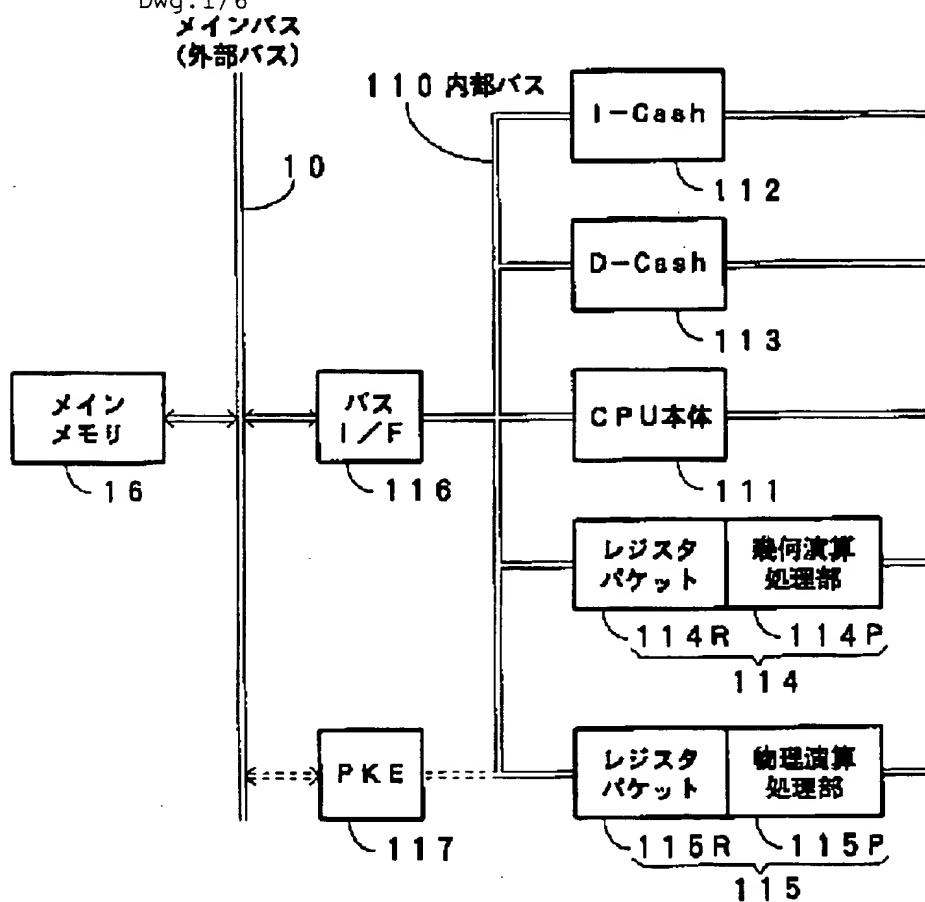
Abstract (Basic): JP 10003466 A

The apparatus has a CPU (111) connected to a first operation part (114) through an internal bus (110). The first operation part performs an exclusive matrix operation.

The CPU is connected to a second operation part (115) through the internal bus. The second operation part performs exclusive summing operation.

ADVANTAGE - Serves inexpensive and miniaturised structure. Offers graphics apparatus with superior patterning function. Simplifies hardware by providing DDA array in CPU. Performs exclusive coordinate transformation operation.

Dwg.1/6



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-3466

(43)公開日 平成10年(1998)1月6日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 17/10 9/38	370		G 06 F 15/31 9/38	Z 370C
G 06 T 1/00 11/00			15/66 15/72	J A

審査請求 未請求 請求項の数3 FD (全9頁)

(21)出願番号 特願平8-175514

(22)出願日 平成8年(1996)6月14日

(71)出願人 395015319

株式会社ソニー・コンピュータエンタテインメント
東京都港区赤坂7-1-1

(72)発明者 大場 章男

東京都港区赤坂8丁目1番22号 株式会社
ソニー・コンピュータエンタテインメント
内

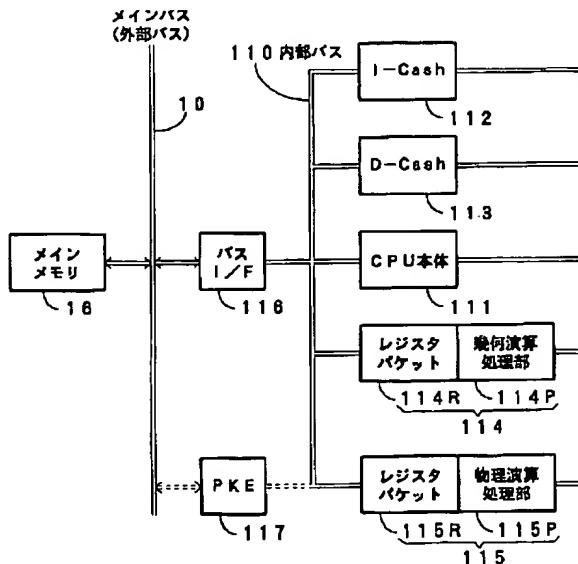
(74)代理人 弁理士 佐藤 正美

(54)【発明の名称】 中央演算処理装置およびこれを用いた画像生成装置

(57)【要約】

【課題】 小型で、しかも安価であって、描画機能の高いグラフィックス機器ようのCPUを提供する。

【解決手段】 中央演算処理部本体111と、この中央演算処理部本体111と内部バス110を介して接続され、マトリクス演算機能を専用に実行する第1の専用演算部114と、中央演算処理部本体111と内部バス110を介して接続され、積和演算を専用に実行する第2の専用演算部115とを備える。



【特許請求の範囲】

【請求項1】中央演算処理部本体と、前記中央演算処理部本体と内部バスを介して接続され、マトリクス演算機能を専用に実行する第1の専用演算部と、前記中央演算処理部本体と内部バスを介して接続され、積和演算を専用に実行する第2の専用演算部とを備える中央演算処理装置。

【請求項2】マトリクス演算機能を専用に実行する第1の専用演算部と、積和演算を専用に実行する第2の専用演算部とが、内部バスを介して中央演算処理部本体に接続されて設けられている中央演算処理装置を有し、2次元表現あるいは3次元表現の動画の画像データを生成する際に、前記第1の専用演算部により座標変換演算を行い、前記第2の専用演算部により物理的変化、変形等の物理表現演算を行うようにすることを特徴とする画像生成装置。

【請求項3】記憶媒体に記憶されている、画像を描画するためのデータを読み出す読み出し手段を備え、この読み出したデータを用いて画像を生成する装置であって、前記記憶媒体には、ゲームのデータが前記画像を描画するデータと共に記憶されて、ゲーム機の構成とされてなる請求項3に記載の画像生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば、グラフィックコンピュータ、特殊効果装置、ゲーム機などのコンピュータを利用した画像生成装置のように高速に画像を生成する必要がある装置に使用して好適な中央演算処理装置（以下、CPUという）およびこれを使用した画像生成装置に関する。

【0002】

【従来の技術】例えばグラフィックコンピュータにより3次元画像を生成（描画）する場合には、次のような処理手順で画像描画処理をする。

【0003】すなわち、コンピュータグラフィックスでは、描画しようとする物体（オブジェクトと称される）は小さな基本图形（ポリゴン（多角形））に分割され、そのポリゴンの形、位置、向き、色、模様などが画像を決めるポリゴンデータとして与えられる。ポリゴンの形、位置、向きは、その頂点の座標で決まる。

【0004】画像描画処理としては、先ず、例えばメモリや記録媒体に蓄えられている描画データを読み込み、その描画データからポリゴンデータのみを抽出する。次に、所定の入力手段から入力された視点位置の情報を元に、当該視点に正対するスクリーンを仮想して、オブジェクトを構成する各ポリゴンの頂点座標を、そのスクリーン上の座標に変換し、変換後のデータをメモリに一時格納する。

【0005】この頂点座標の座標変換は、視点を基準に

したオブジェクトの向きに変換するための3次元座標変換と、上記のスクリーンに対して視点からの物体までの距離に応じた透視変換（2次元座標変換）とを行う。3次元座標変換は、座標変換マトリクスを用いて行い、透視変換は、頂点の奥行き情報（Z情報）を用いた割算演算を行うものである。

【0006】そして、得られた変換後の頂点データを、メモリから取り出し、その座標に従ってビデオRAM上にポリゴンの描画を行う。

【0007】ところで、最近は、パーソナルコンピュータやテレビゲーム機で3次元グラフィックス表示ができるようになり、シュミレーション、バーチャルリアリティなどで3次元世界を表現することができるようになっている。これに伴い、グラフィックス用の専用ハードウェアが開発され、座標変換、透視変換などの演算処理が高速にできるようになった。

【0008】

【発明が解決しようとする課題】上述のような3次元世界の表現能力の向上に伴い、オブジェクト自身がその動きや移動に応じて変形するような場合などの物理的変化の表現能力を向上させて、よりリアルが表現が行えるようにする要求が増加しているが、従来は、上述のような幾何マトリクス演算に比べて、物理表現のための計算能力は低かった。これは、従来のグラフィックスにおいては、物理表現については、それ程、問題にされていなかったので、CPUがソフトウェアにより物理表現のための演算処理を行っても十分に対応できたからである。

【0009】しかし、最近のような高度の表現が要求されるようになると、物理表現のための演算が増加し、高速の座標変換演算に比べてバランスが悪いものとなってしまっている。

【0010】この発明は、以上の点にかんがみ、例えば、小型で、描画機能の高いグラフィック機器を製作する場合に、ハードウェアを増大させることなく、描画速度を高めることが可能なCPUを提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、この発明によるCPUは、中央演算処理部本体と、前記中央演算処理部本体と内部バスを介して接続され、マトリクス演算機能を専用に実行する第1の専用演算部と、前記中央演算処理部本体と内部バスを介して接続され、積和演算を専用に実行する第2の専用演算部と、を備えることを特徴とするものである。

【0012】また、この発明による画像生成装置は、中央演算処理部本体と、前記中央演算処理部本体と内部バスを介して接続され、マトリクス演算機能を専用に実行する第1の専用演算部と、前記中央演算処理部本体と内部バスを介して接続され、積和演算を専用に実行する第2の専用演算部とを備えるCPUを有し、2次元表現あ

るいは3次元表現の動画の画像データを生成する際に、前記第1の専用演算部により座標変換演算を行い、前記第2の専用演算部により物理的变化、変形等の物理表現演算を行うようにすることを特徴とする。

【0013】上記の構成のCPUを備える画像生成装置においては、CPU内に、座標変換演算用の専用演算部を備えると共に、物理表現演算用の専用演算部を備えるため、座標変換演算だけでなく、物理表現のための演算も高速に並列して行え、計算能力が向上する。そして、両専用演算部が同一CPU内にあるので、物理表現演算のために、関連する座標変換演算結果を利用することができる。また、CPUの外部に専用のハードウェアがある場合に比べて、CPUが接続されるメインバスの干渉を少なくすることができます。

【0014】

【発明の実施の形態】以下、この発明によるCPUおよびそれを使用した画像生成装置の一実施の形態を、テレビゲーム機の場合について、図を参照しながら説明する。

【0015】図2は、この発明の一実施の形態の画像生成装置の構成例を示すもので、この例は3次元グラフィックス機能と、動画再生機能とを備えるゲーム機の場合の例である。

【0016】図3は、この例のゲーム機の外観を示すもので、この例のゲーム機は、ゲーム機本体1と、ユーザの操作入力部を構成するコントロールパッド2とからなる。コントロールパッド2は、このコントロールパッド2に接続されているケーブル3の先端に取り付けられているコネクタプラグ4を、ゲーム機本体1のコネクタジャック5Aに結合させることにより、ゲーム機本体1に接続される。この例では、いわゆる対戦ゲーム等のために、2個のコントロールパッド2がゲーム機本体1に対して接続することができるよう、2個のコネクタジャック5A、5Bがゲーム機本体1に設けられている。

【0017】この例のゲーム機は、ゲームプログラムや画像データが書き込まれた補助記憶手段としてのCD-ROMディスク6をゲーム機本体1に装填することにより、ゲームを楽しむことができる。

【0018】次に、図2を参照しながら、この例の画像生成装置の構成について説明する。この例の画像生成装置としてのゲーム機は、メインバス10と、サブバス20とからなる2つのシステムバスを備える構成を有している。これらメインバス10と、サブバス20との間のデータのやり取りは、バスコントローラ30により制御される。

【0019】そして、メインバス10には、メインCPU11と、メインメモリ12と、画像伸長部13と、前処理部14と、描画処理部15と、メインのDMAコントローラ16（以下、メインDMACという）が接続されている。描画処理部15には、処理用メモリ17が接

続されていると共に、この描画処理部15は表示データ用のいわゆるフレームメモリと、D/A変換回路を含み、この描画処理部15からのアナログビデオ信号がビデオ出力端子18に出力される。図示しないが、このビデオ出力端子18は、表示装置としての例えばCRTディスプレイに接続される。

【0020】サブバス20には、サブCPU21と、サブメモリ22と、ブートROM23と、サブのDMAコントローラ24と、音声処理用プロセッサ25と、入力部26と、CD-ROMデコーダ27と、拡張用の通信インターフェース部28とが接続される。ブートROM23には、ゲーム機としての立ち上げを行うためのプログラムが格納されている。また、音声処理用プロセッサ25に対しては、音声処理用メモリ25Mが接続されている。そして、この音声処理用プロセッサ25はD/A変換回路を備え、これよりはアナログ音声信号を音声出力端子29に出力する。

【0021】そして、CD-ROMデコーダ27は、CD-ROMドライバ40に接続されており、CD-ROMドライバ40に装填されたCD-ROMディスク6に記録されているアプリケーションプログラム（例えばゲームのプログラム）やデータをデコードする。CD-ROMディスク6には、例えば離散コサイン変換(DCT)により画像圧縮された動画や静止画の画像データや、ポリゴンを修飾するためのテクスチャー画像の画像データも記録されている。また、CD-ROMディスク6のアプリケーションプログラムには、ポリゴン描画命令が含まれている。

【0022】入力部26は、前述した操作入力手段としてのコントロールパッド2と、ビデオ信号の入力端子と、音声信号の入力端子を備えるものである。

【0023】メインCPU11は、メインバス10側の各部の管理および制御を行なう。また、このメインCPU11は、物体を多数のポリゴンの集まりとして描画する場合の処理の一部を行う。メインCPU11は、後述もするように、1画面分の描画画像を生成するための描画命令例をメインメモリ12上に作成する。メインCPU11とメインバス10とのデータのやり取りは、データをパケット形式にしてパケット単位に行い、バースト転送を可能にしている。このメインCPU11の内部構成については、後でさらに詳述する。

【0024】メインメモリ12は、動画や静止画の画像データに対しては、圧縮された画像データのメモリ領域と、伸長デコード処理された伸長画像データのメモリ領域とを備えている。また、メインメモリ12は、描画命令列などのグラフィックスデータのメモリ領域（これをパケットバッファという）を備える。このパケットバッファは、メインCPU11による描画命令列の設定と、描画命令列の描画処理部への転送とに使用される。

【0025】画像伸長部13は、CD-ROMディスク

6から再生された圧縮画像データの伸長処理を行なうもので、ハフマン符号のデコーダと、逆量子化回路と、逆離散コサイン変換回路のハードウエアを備える。ハフマン符号のデコーダの部分は、メインCPU11がソフトウエアとしてその処理を行うようにしてもよい。

【0026】描画処理部15は、メインメモリ12から転送されてくる描画命令を実行して、その結果をフレームメモリに書き込む。フレームメモリから読み出された画像データは、D/A変換器を介してビデオ出力端子18に出力され、画像モニター装置の画面に表示される。

【0027】前処理部14は、CPUを備えるプロセッサの構成とされるもので、メインCPU11の処理の一部を分担することができるようになるものである。例えばポリゴンデータを、表示のための2次元座標データに変換する処理も、この前処理部14が行う場合がある。

【0028】このゲーム機の基本的な処理について以下に説明する。

【0029】ICD-ROMディスク6からのデータの取り込み|図2の例のゲーム機に電源が投入され、ゲーム機本体1にCD-ROMディスク6が装填されると、ブートROM23の、ゲームを実行するためのいわゆる初期化処理をするためのプログラムが、サブCPU21により実行される。すると、CD-ROMディスク6の記録データが次のようにして取り込まれる。

【0030】すなわち、CD-ROMディスク6から、圧縮画像データ、描画命令及びメインCPU11が実行するプログラムが、CD-ROMドライバ40、CD-ROMデコーダ27を介して読み出され、サブDMAC24によってサブメモリ22に一旦ロードされる。

【0031】そして、このサブメモリ22に取り込まれたデータは、サブDMACおよびバスコントローラ30、さらにはメインDMAC16によってメインメモリ12に転送される。なお、サブCPU21は、描画処理部15のフレームに対して直接的にアクセスできるように構成されており、このサブCPU21によっても表示画像内容の変更が、描画処理部15の制御とは離れて可能とされている。

【0032】|圧縮画像データの伸長及び転送|メインメモリ12の入力データのうち、圧縮画像データは、この例では、メインCPU11がハフマン符号のデコード処理を行った後、再びメインCPU11によりメインメモリ12に書き込まれる。そして、メインDMAC16は、このハフマン符号のデコード処理後の画像データをメインメモリ12から画像伸長部13に転送する。画像伸長部13は、逆量子化の処理と、逆DCTの処理を行って画像データの伸長デコード処理を行う。伸長された画像データは、メインDMAC16が、メインメモリ12に転送する。

【0033】メインCPU11は、伸長された画像データのマクロブロックと呼ばれる単位データが一定量、メ

インメモリ12に蓄積された時点で、当該伸長データを描画処理部15のフレームメモリに転送する。この際に、伸長画像データがフレームメモリの画像メモリ領域に転送されれば、そのまま背景動画像として画像モニタ一装置で表示されることになる。また、フレームメモリのテクスチャー領域に転送される場合もある。このテクスチャー領域の画像データは、テクスチャー画像として、ポリゴンの修飾に使用される。

【0034】|描画命令列についての処理と転送|物体の面を構成するポリゴンは、3次元的な奥行きの情報であるZデータに従って奥行き方向の深い位置にあるポリゴンから順に描画することにより、2次元画像表示面に立体的に画像を表示することができる。メインCPU11は、このように奥行き方向の深い位置にあるポリゴンから順に、描画処理部15で描画が行われるようにするための描画命令列をメインメモリ12上に作成する。

【0035】メインCPU11は、入力部26のコントロールパッドからのユーザーの操作入力に基づいて、物体や視点の動きを計算し、メインメモリ12上にポリゴン描画命令列を作成する。

【0036】この描画命令列が完成すると、メインDMAC16は、前処理部14を通じて、描画命令毎に、メインメモリ12から描画処理部15に転送する。

【0037】描画処理部15では、送られてきたデータを順次実行して、その結果を、フレームメモリの描画領域に格納する。このポリゴン描画の際、データは、描画処理部15の勾配計算ユニットに送られ、勾配計算が行なわれる。勾配計算は、ポリゴン描画で多角形の内側をマッピングデータで埋めていく際、マッピングデータの平面の傾きを求める計算である。テクスチャーの場合はテクスチャー画像データでポリゴンが埋められ、また、グローシェーディングの場合は輝度値でポリゴンが埋められる。

【0038】更に、動画のテクスチャーが可能である。つまり、動画テクスチャーの場合には、前述したように、CD-ROMディスク6からの圧縮された動画データは、一旦、メインメモリ12に読み込まれる。そして、この圧縮画像データは、画像伸長部13に送られる。画像伸長部13で、画像データが伸長される。このとき、前述したように、伸長処理の一部は、メインCPU11が負担する。

【0039】そして、伸長された動画データは描画処理部15のフレームメモリ上のテクスチャー領域に送られる。テクスチャー領域は、この描画処理部15のフレームメモリ内に設けられているので、テクスチャーパターン自身も、フレーム毎に書き換えることが可能である。このように、テクスチャー領域に動画を送ると、テクスチャーが1フレーム毎に動的に書き換えられて変化する。このテクスチャー領域の動画により、ポリゴンへのテクスチャーマッピングを行えば、動画のテクスチャー

が実現される。

【0040】メインCPUの構成例 図1は、メインCPU11の内部構成例を示すものである。このメインCPU11は、CPU本体111に対して、内部バス110を介して、命令キャッシュメモリ112と、データキャッシュメモリ113と、座標変換等の主としてマトリクス演算や関数演算を実行する幾何演算部114と、デジタル微分解析器（DDA;Digital Differential Analyzer）を構成する物理演算部115とが接続される。

【0041】このように、メインCPU11は、内部に命令キャッシュメモリ112と幾何演算部114および物理演算部115とを有しているため、その処理をメインバス110を使用しなくとも、ある程度行うことができるため、メインバス110を開放しやすい。

【0042】そして、内部バス110と、メインバス110との間のデータの入出力は、バスインターフェース116を介してパケットデータとして行われると共に、データのパケット化およびアンパケット化の手順が変更可能なプログラマブルパケットエンジン（以下、PKEという）117を介しても行われる場合もある。

【0043】そして、幾何演算部114および物理演算部115は、それぞれの演算処理部114Pおよび115Pと、レジスタパケット114Rおよび115Rとかなり、演算処理をパケット単位で実行することができる。

【0044】物理演算部115の演算処理部115Pを構成するDDAアレー（以下、DDAアレー115Pという）は、複数個の加算器とレジスタとで構成されるものである。図4は、このDDAアレーからなる演算部115Pの一例を示すものである。

【0045】すなわち、DDAアレー115Pは、並列処理を行うための複数個、この例では、4対のレジスタ51および52、53および54、55および56、57および58と、対応する数、この例では4個の加算器61、62、63、64とかなる。対のレジスタのそれぞれの一方のレジスタ51、53、55、57の内容は、順次入力データにより書き替えられる。対のレジスタのそれぞれの他方のレジスタ52、54、56、58には、前回の加算演算結果が蓄えられる。

【0046】そして、各加算器61、62、63、64は、それぞれ対のレジスタ51および52、53および54、55および56、57および58のデータを互いに加算し、その加算出力データを、他方のレジスタ52、54、56、58に上書きするように構成されている。

【0047】こうして、一方のレジスタ51、53、55、57に、変化量を順次にセットして演算を繰り返し実行すると、他方のレジスタ52、54、56、58には、微分方程式の解法としての積分結果が得られること

になる。

【0048】したがって、CPU本体111や、幾何演算部114での計算により求められたオブジェクトの変化量などを、物理演算部115に送ると、目的とする物理量が高速演算されて得られることになる。

【0049】例えば、ユーザー入力や、CD-ROMから読み込まれたゲームプログラムのゲーム環境から、加わる力Fと、オブジェクトの質量M（重さ）のデータから、CPU本体111や幾何演算部114で加速度が演算されると、その加速度のデータに基づいてオブジェクトの変化位置のデータが得られることになる。

【0050】図5は、この場合のDDAアレー115Pの利用例を説明するための図である。この場合、図5において、 $1/M$ は1/重さ（質量）配列データ、Fは力配列データ、Aは加速度配列データ、Vは速度配列データ、Pは位置配列データで、これらのデータは、パケット単位で、かつ、フレームレートで変えられるものである。

【0051】また、図5において、一点鎖線で囲んだ部分は、DDAアレー115Pがそれぞれ演算を実行する部分である。すなわち、この例の場合には、DDAアレー115Pは、2回使用されて、加速度配列データから位置配列データが求められるものである。

【0052】すなわち、図5の例の場合、例えば、ゲームプログラムにより設定されているオブジェクトの1/重さ配列データ $1/M$ と、ユーザー入力やそのときの環境から作られる力配列データFとが、CPU本体110や幾何演算部114で掛け算演算が行われ、加速度配列データAが求められる。

【0053】そして、この加速度配列データAがDDAアレー115Pのレジスタ51、53、55、57に転送されて書き込まれる。この書き込まれた加速度配列データAは、レジスタ52、54、56、58に蓄えられている前回速度配列データ（あるいは初期速度配列データ）V（前）に、加算器61、62、63、64において加算される。そして、その加算結果の速度配列データVがレジスタ52、54、56、58に書き込まれる。

【0054】次に、このようにして求められた速度配列データVを、次回の演算に使用する前回速度配列データV（前）として退避しておくと共に、この速度配列データVをDDAアレー115Pのレジスタ51、53、55、57に書き込む。そして、レジスタ52、54、56、58に、退避されていた前回位置配列データ（あるいは初期位置配列データ）P（前）をセットする。

【0055】そして、加算器61、62、63、64で演算を実行し、その加算結果を上述と同様にしてレジスタ52、54、56、58に書き込む。これにより、これらレジスタ52、54、56、58から、当該フレームにおけるオブジェクトの位置配列データPが求められる。この求められた位置配列データPは、次回の演算に

使用する前回速度配列データP(前)として退避しておくと共に、当該フレームの位置配列データPとして、出力する。

【0056】次のフレームになると、再び、ゲームプログラムにより設定されているオブジェクトの1／重さ配列データ1／Mと、ユーザー入力やそのときの環境から作られる力配列データFとが、CPU本体110や幾何演算部114で掛け算演算が行われて、加速度配列データAが求められ、DDAアレー115Pのレジスタ51、53、55、57にセットされる。そして、退避されていた前回速度データV(前)と加算器61～64により加算し、その加算結果をレジスタ52、54、56、58に書き込む。以下、上述の動作を各フレームにおいて繰り返すことにより、各フレームのオブジェクトの位置配列データPを得ることができる。

【0057】次に、図6に、DDAアレー115Pを用いて簡単な周期運動を計算する場合について説明する。この場合も、一点鎖線で囲んだ部分は、DDAアレー115Pがそれぞれ演算を実行する部分である。すなわち、この例の場合には、DDAアレー115Pは、繰り返し使用されて、加速度配列データから位置配列データが求められるものである。

【0058】すなわち、この例の場合には、DDAアレー115Pの出力データとしての位置配列データPから、CPU本体110あるいは幾何演算部114は、周期運動の逆側の位置(-P)方向に向かう加速度配列データA(-P)を演算より求める。そして、この逆位置の加速度配列データA(-P)を、DDAアレー115Pのレジスタ51、53、55、57にセットする。また、前回速度配列データ(あるいは初期速度配列データ)をDDAアレー115Pのレジスタ52、54、56、58にセットする。

【0059】そして、加算器61～64の加算結果である今回の速度配列データをDDAアレー115Pのレジスタ52、54、56、58に書き込む。求めた速度配列データVを、次回の演算に使用する前回速度配列データV(前)として退避しておくと共に、この速度配列データVをDDAアレー115Pのレジスタ51、53、55、57に書き込む。そして、レジスタ52、54、56、58に、退避されていた前回位置配列データ(あるいは初期位置配列データ)P(前)をセットする。

【0060】そして、この求めた位置配列データPをCPU本体111あるいは幾何演算部114に内部バス110を通じて渡し、前述したように、逆位置に対する加速度配列データA(-P)を求める。そして、前述したように、この逆位置に対する加速度配列データA(-P)をDDAアレー115Pに上述のようにして渡してセット(負帰還)して、以上の処理を繰り返す。これにより、周期運動を簡単に実現することができる。

【0061】こうして、各フレーム毎に上述の演算を物

理演算部115を用いて行うことにより、オブジェクトに関する加速度配列データから、位置配列データを高速に得ることができ、描画表現能力が上がる。

【0062】この場合、CPU本体111は、加速度配列データの計算だけでよいので、負担が少なく、高速処理に寄与する。すなわち、CPU本体111により上述のような積和演算を実行させる場合には、物理計算結果を一旦レジスタに溜めて、また、読み出して演算を実行するというような処理手順となり、CPU本体111の負荷が非常に大きくなる。しかし、この実施の形態の場合には、CPU本体111は、加速度などの計算結果を物理演算部115に送れば、積和演算が自動的に実行される。したがって、CPU本体111の負荷が非常に減る。

【0063】また、幾何演算部114やCPU本体111で計算した加速度などのデータを利用して物理演算部115で物理演算を実行させるようにできるので、座標変換演算やその他の複雑な動き演算に関連付けながら、物理演算部115で物理演算をすることができるため、より自然で複雑な動きを、高速演算処理により実現することが可能になる。

【0064】また、関連性のある座標変換と物理演算とを同時に並行して計算することができ、レジスタへのデータのロード、リロードなどのオーバーヘッドを低減できる。そして、座標変換演算と同様に、物理演算を専用の演算器により行うようにすることにより、3次元世界の物理現象を高速にバランスよく実現する画像生成装置を得ることができる。

【0065】特に、ゲーム機の場合、オブジェクトの画像が衝突と共に、物理的に変形するような複雑かつ視覚的に自然な画像を、これら幾何演算部114および物理演算部115を用いて、得ることができ、動きと座標計算が密接した処理が容易に実現でき、描画機能の向上が図れる。

【0066】そして、物理計算をCPU本体内で実行する場合には、プログラミングスタイルとして種々のものが出てきて、統一が取れなくなるおそれがあるが、この実施の形態によれば、幾何演算部114と物理演算部115とは専用ハードウエアとしてCPU本体とは別個に設けられているので、プログラミングスタイルが規定され、統一が取れるという利点もある。

【0067】なお、以上の例は、この発明によるCPUをゲーム機に適用した場合であるが、この発明によるCPUは、画像生成装置に限定されない種々の用途に使用できることはいうまでもない。

【0068】

【発明の効果】以上説明したように、この発明によれば、CPU内にDDAアレーからなる簡単なハードウエアを設けて、物理演算を専用に実行させることにより、専用に座標変換演算などをを行う幾何演算部と相俟って、

描画機能の高いCPUおよび画像生成装置を実現することができる。

【図面の簡単な説明】

【図1】この発明によるCPUの内部構成の一実施の形態を示すブロック図である。

【図2】この発明による画像生成装置の一実施の形態としてのゲーム機の構成例を示すブロック図である。

【図3】図2の例のゲーム機の外観例を示す図である。

【図4】この発明によるCPUの内部の物理演算部の要部の構成例を示す図である。

【図5】図4の物理演算部を使用した物理計算例を説明

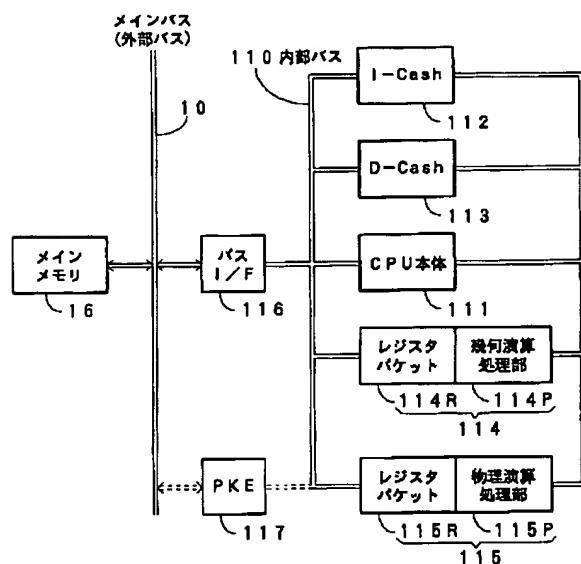
するための図である。

【図6】図4の物理演算部を使用した物理計算例を説明するための図である。

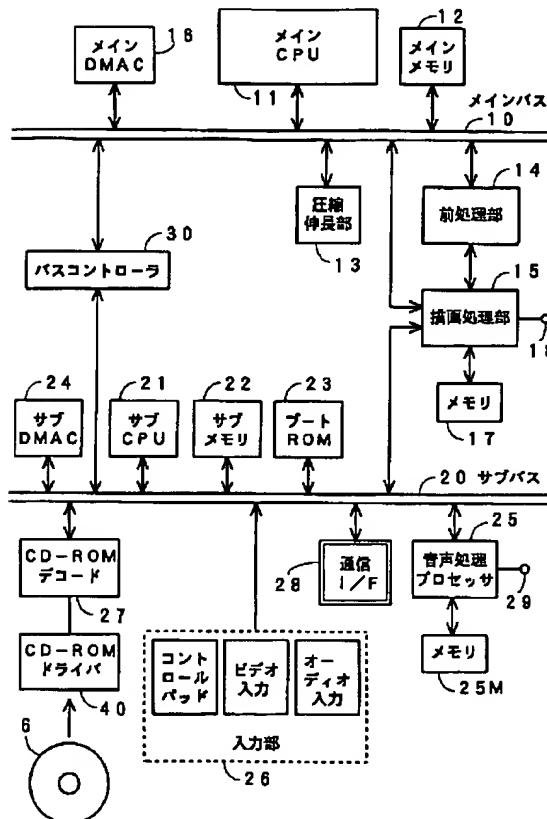
【符号の説明】

10…メインバス、11…メインCPU、110…内部バス、111…CPU本体、112…命令キャッシュメモリ、113…データキャッシュメモリ、114…幾何演算部、115…物理演算部、115P…物理演算処理部(DDAアレー)、51～58…レジスタ、61～64…加算器

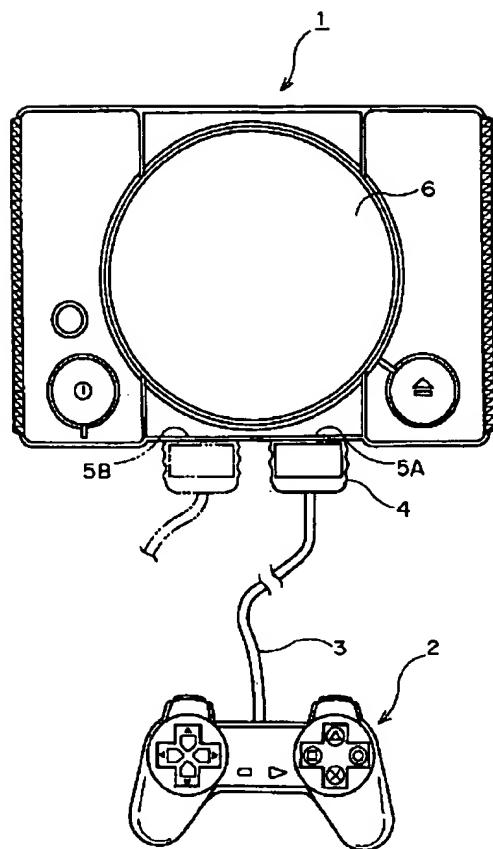
【図1】



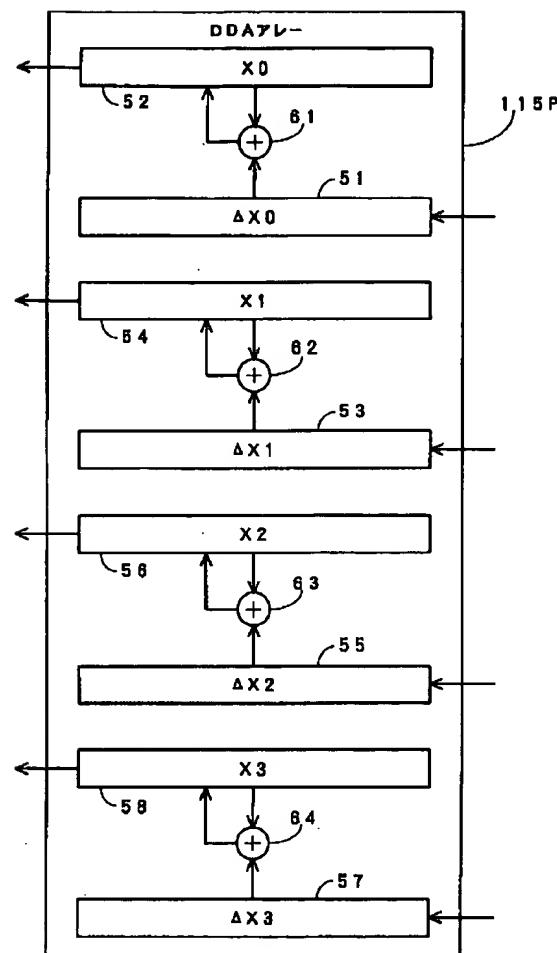
【図2】



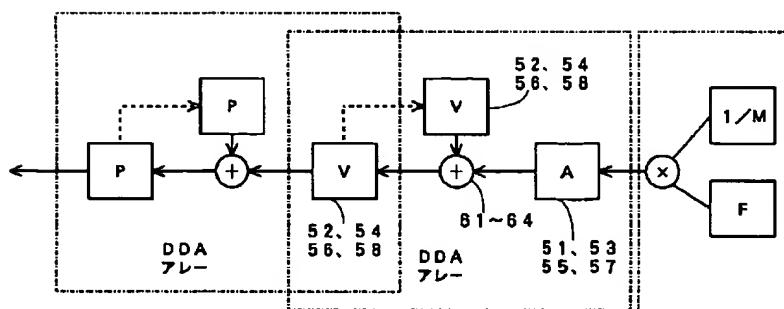
【図3】



【図4】



【図5】



物理演算部115で実行

CPU111本体または
幾何演算部114で実行

【図6】

